

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-311832

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

H01G 4/33

H01G 4/38

(21)Application number : 11-120386

(71)Applicant : KYOCERA CORP

(22)Date of filing : 27.04.1999

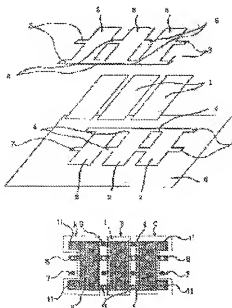
(72)Inventor : ATSUNUSHI SHIGEO

(54) THIN-FILM CAPACITOR AND SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a thin-film capacitor which has a structure easy to mount with easy to laminate with low inductance, and whose stability during mounting on a circuit, etc., is improved.

SOLUTION: Capacitance elements A, B, C, formed by forming a first electrode layer 2 in a lower surface of a dielectric layer 1 and a second electrode layer 3 in an upper surface thereof, are arranged in parallel at a prescribed interval, a plurality of first terminal electrode layers 4 connecting the first electrode layers 2 mutually are provided between the plurality of capacity elements A, B, C, a plurality of second terminal electrode layers 5 connecting the second electrode layers 3 mutually are provided, a plurality of third terminal electrode layers 7 projecting outward each are further provided to the first electrode layer 2 of the capacity elements A, C at both ends, a plurality of fourth terminal electrode layers 8 projecting outward each are provided to the second electrode layer 3 and an external terminal 9 is provided to the first, second, third and fourth terminal electrode layers 4, 5, 7, 8.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-311832

(P2000-311832A)

(43) 公開日 平成12年11月7日(2000.11.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 G	4/33	H 0 1 G	4/06 1 0 2 5 E 0 8 2
	4/38		Λ

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平11-120386

(22) 出願日 平成11年4月27日(1999.4.27)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田島羽殿町6番地

(72) 発明者 厚主 成生

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

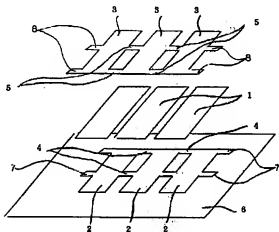
Fターム(参考) E082 A803 B802 BC14 BC23 CC02
 EE05 EE11 EE17 EE23 EE26
 EE37 FG03 FG26 FG41 FG42
 GC91 GC10 KX01 MM28

(54) 【発明の名称】 薄膜コンデンサおよび基板

(57) 【要約】

【課題】実装が容易でかつ積層化が容易な低インダクタンス構造を有し、回路等への実装時の安定性を向上した薄膜コンデンサを提供する。

【解決手段】誘電体層1の下面に第1電極層2を、上面に第2電極層3を形成してなる容量素子A、B、Cを所定間隔を置いて複数並置するとともに、該複数の容量素子A、B、Cの間に、第1電極層2同士を接続する複数の第1端子電極層4を設け、第2電極層3同士を接続する複数の第2端子電極層5を設け、さらに、両端の容量素子A、Cの第1電極層2に、それぞれ外方に突出する複数の第3端子電極層7を設け、第2電極層3に、それぞれ外方に突出する複数の第4端子電極層8を設け、第1、第2、第3、第4端子電極層4、5、7、8に外部端子9を設けてなる。



【特許請求の範囲】

【請求項1】誘電体層の下面に第1電極層を、上面に第2電極層を形成してなる容量素子を所定間隔を置いて複数並置するとともに、該複数の容量素子の間に、前記第1電極層同士を接続する複数の第1端子電極層を設け、かつ前記複数の容量素子の間に、前記第2電極層同士を接続する複数の第2端子電極層を、前記第1端子電極層と異なる位置に設け、さらに、両端の前記容量素子の第1電極層に、それぞれ外方に突出する複数の第3端子電極層を設け、両端の前記容量素子の第2電極層に、それぞれ外方に突出する複数の第4端子電極層を、前記第3端子電極層と異なる位置に設け、前記第1端子電極層、前記第2端子電極層、前記第3端子電極層および前記第4端子電極層に外部端子を設けてなることを特徴とする薄膜コンデンサ。

【請求項2】複数の誘電体層と複数の電極層を交互に積層してなり、前記電極層が下側から交互に第1電極層、第2電極層とされた容量素子を所定間隔を置いて複数並置するとともに、該複数の容量素子の間に、同一平面上の前記第1電極層同士を接続する複数の第1端子電極層を設け、かつ前記複数の容量素子の間に、同一平面上の前記第2電極層同士を接続する複数の第2端子電極層を、前記第1端子電極層と異なる位置に設け、さらに、両端の前記容量素子の第1電極層に、それぞれ外方に突出する複数の第3端子電極層を設け、両端の前記容量素子の第2電極層に、それぞれ外方に突出する複数の第4端子電極層を、前記第3端子電極層と異なる位置に設け、最上層の前記第1端子電極層、前記第2端子電極層、前記第3端子電極層および前記第4端子電極層に外部端子を設けてなることを特徴とする薄膜コンデンサ。

【請求項3】両端の容量素子の少なくとも一方は、誘電体層と電極層からなり、外方に突出する容量付加部が設けられていることを特徴とする請求項1または2記載の薄膜コンデンサ。

【請求項4】請求項1乃至3のうちのいずれかに記載の薄膜コンデンサを基体の表面に設けてなることを特徴とする基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜コンデンサに関し、例えば、高速動作する電気回路に配設され、高周波ノイズのバイパス用、もしくは電源電圧の変動防止用に供される、大容量、低インダクタンスの薄膜コンデンサおよび基板に関するものである。

【0002】

【従来技術】近年においては、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきている。

【0003】特に大量の情報を高速に処理する必要のある

コンピュータの高速デジタル回路では、パーソナルコンピュータレベルにおいても、CPUチップ内のクロック周波数は100MHzから数百MHz、チップ間バスのクロック周波数も30MHzから100MHzと高速化が顕著である。

【0004】また、LSIの集積度が高まりチップ内の素子数の増大につれ、消費電力を抑えるために電源電圧は低下の傾向にある。これらIC回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パルスに対して優れた特性を示すことが必須になってきている。

【0005】コンデンサを小型大容量にするためには一対の電極に扶持された誘電体を薄くし、薄膜化することが最も有効である。薄膜化は上述した電圧の低下の傾向にも適合している。

【0006】一方、IC回路の高速動作に伴う諸問題は各素子の小型化よりも一層深刻な問題である。このうち、コンデンサの役割である高周波ノイズの除去機能において特に重要となるのは、論理回路の切り替えが同時に発生したときに生ずる電源電圧の瞬間的な低下を、コンデンサに蓄積されたエネルギーを瞬時に供給することにより低減する機能である。このような機能を有するコンデンサがいわゆるデカップリングコンデンサである。

【0007】デカップリングコンデンサに要求される性能は、クロック周波数よりも速い負荷部の電流変動に応じて、いかにすばやく電流を供給できるかにある。従って、100MHzから1GHzにおける周波数領域に対してコンデンサとして確実に機能しなければならない。

【0008】しかし、実際のコンデンサ素子は静電容量成分の他に、抵抗成分、インダクタンス成分を持つ。容量成分のインピーダンスは周波数増加とともに減少するが、インダクタンス成分のインピーダンスは周波数の増加とともに増大する。したがって、動作周波数が高くなるにつれ、素子の持つインダクタンスが供給すべき過渡電流を制限し、論理回路側の電源電圧の瞬時低下、または新たな電圧ノイズを発生させる。結果として、論理回路上のエラーを引き起こす。

【0009】特に最近のLSIは総素子数の増大による消費電力増大を抑えるために電源電圧は低下しており、電源電圧の許容変動幅も小さくなっている。従って、高速動作時の電圧変動幅を最小に抑えるため、デカップリングコンデンサ素子自身の持つインダクタンスを減少させることが非常に重要である。

【0010】インダクタンスを減少させる方法は3つある。第1は電流経路の長さを最小にする方法、第2は電流経路が形成する磁場を近接する別の電流経路が形成する磁場により相殺低減する方法、第3は電流経路をn個に分配して実効的なインダクタンスを $1/n$ にする方法である。

【0011】第1の方法は、単位面積あたりの容量を増

加させて小型化を図る方法であり、コンデンサ素子を薄膜化することにより達成できる。大容量で高周波特性の良好なコンデンサを得る目的で、特開昭60-94716号公報には誘電体厚さを $1\mu\text{m}$ 以下に薄膜化したものが開示されている。

【0012】

【発明が解決しようとする課題】しかしながら、所望の場所に実装できるデカップリングコンデンサを考えた場合、ハンドリング可能な寸法として $0.5\text{mm}\times 0.5\text{mm}$ 程度以上が必要であり、第1の薄膜、小型化の方法のみでインダクタンスを低減するには限界があった。

【0013】また、上記第1乃至第3の方法を組み合わせる方法も考えられるが、未だ、小型化、薄型化、大容量化、高周波対応等の特性の面で、充分な特性を有する薄膜コンデンサを得ることができなかった。

【0014】そこで、本発明は、実装が容易でかつ積層化が容易な低インダクタンス構造を有し、回路等への実装時の安定性を向上した薄膜コンデンサを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の薄膜コンデンサは、誘電体層の下面に第1電極層を、上面に第2電極層を形成してなる容量素子を所定間隔を置いて複数並置するとともに、該複数の容量素子の間に、前記第1電極層同士を接続する複数の第1端子電極層を設け、かつ前記複数の容量素子の間に、前記第2電極層同士を接続する複数の第2端子電極層を、前記第1端子電極層と異なる位置に設け、さらに、両端の前記容量素子の第1電極層に、それぞれ外方に突出する複数の第3端子電極層を設け、両端の前記容量素子の第2電極層に、それぞれ外方に突出する複数の第4端子電極層を、前記第3端子電極層と異なる位置に設け、前記第1端子電極層、前記第2端子電極層、前記第3端子電極層および前記第4端子電極層に外部端子を設けてなるものである。

【0016】また、本発明の積層型の薄膜コンデンサは、複数の誘電体層と複数の電極層を交互に積層してなり、前記電極層が下側から交互に第1電極層、第2電極層とされた容量素子を所定間隔を置いて複数並置するとともに、該複数の容量素子の間に、同一平面上の前記第1電極層同士を接続する複数の第1端子電極層を設け、かつ前記複数の容量素子の間に、同一平面上の前記第2電極層同士を接続する複数の第2端子電極層を、前記第1端子電極層と異なる位置に設け、さらに、両端の前記容量素子の第1電極層に、それぞれ外方に突出する複数の第3端子電極層を設け、両端の前記容量素子の第2電極層に、それぞれ外方に突出する複数の第4端子電極層を、前記第3端子電極層と異なる位置に設け、最上層の前記第1端子電極層、前記第2端子電極層、前記第3端子電極層および前記第4端子電極層に外部端子を設けてなるものである。

【0017】ここで、両端の容量素子の少なくとも一方には、誘電体層と電極層からなり、外方に突出する容量付加部が設けられていることが望ましい。

【0018】また、本発明の基板は、上記の薄膜コンデンサを基板の表面に設けてなるものである。

【0019】

【作用】本発明の薄膜コンデンサでは、第1に、複数の容量素子を所定の間隔で並置し、容量素子間に設けられた複数の第1端子電極層および第2端子電極層で、各容量素子の第1電極層同士および第2電極層同士をそれぞれ接続し、さらに両端の容量素子の外側にも外方に突出する第3、第4端子電極層を形成し、これらの第1、第2、第3、第4端子電極層上に外部端子をそれぞれ形成したので、電流経路を分割することができ、インダクタンスを極めて小さくできる。

【0020】第2に、各容量素子間に第1電極層同士を接続する複数の第1端子電極層と、第2電極層同士を接続する複数の第2端子電極層が形成されており、さらに、両端の容量素子の外側にも外方に突出する第3、第4端子電極層が形成されており、これらの端子電極層にそれぞれ外部端子を設けることにより容量を取り出すことができるが、第1電極層同士を接続する第1端子電極層と、第2電極層同士を接続する第2端子電極層を接近させて形成することができ、また、第3端子電極層と第4端子電極層も接近させて形成することができるので、第1、第2端子電極層間並びに第3、第4端子電極層間の距離が短くなり、実効的な電流経路が短くなるので、インダクタンスを極めて小さくすることができる。

【0021】第3に、各第1、第2電極層同士を容量素子間に形成されている第1、第2端子電極層を介して接続することができるので、図8に示すような従来のコンデンサの電極形状を変更するだけで同じような製法によって作製でき、積層化が容易となる。

【0022】第4に、外部との接点に用いる外部端子を、誘電体層が直下に存在しない第1、第2端子電極層上、第3、第4端子電極層上に形成することができるので、外部端子形成時または実装時の熱応力による容量素子へのダメージ等を防止でき、また、その弊害を考慮する必要がないので、作製および実装が容易となる。

【0023】第5に、両端の容量素子の外側に、外方に突出する第3、第4端子電極層をそれぞれ異なる位置に設け、外部端子を形成したので、第3、第4端子電極層は各電極層との電気的接続が確保される範囲で自由な配置で設けることができ、即ち、全ての外部端子のバランスを考慮して配置することができ、回路等への実装時の安定性を向上することができる。

【0024】また、両端の容量素子の少なくとも一方は、誘電体層と電極層からなり、外方に突出する容量付加部を設けることにより、例えば、外方に突出している第3、第4端子電極層の間の余分なスペースを有効利用

して容量を増加することができる。特に、第3端子電極層および第4端子電極層よりも外方に突出しない領域に、薄膜コンデンサの大きさを小さく維持することができる。

【0025】

【発明の実施の形態】本発明の単板型タイプの薄膜コンデンサは、図1および図2に示すように、誘電体層1の下面に正極である第1電極層2、上面に負極である第2電極層3を形成してなる容量素子A、B、Cが所定の間隔で並置されている。尚、図2(a)の平面図では、誘電体層1は破線で示した。

【0026】容量素子A、B、Cの間には4個の第1端子電極層4、第2端子電極層5がそれぞれ形成され、各容量素子A、B、Cの第1電極層2同士および第2電極層3同士は、それぞれ2個の第1端子電極層4、第2端子電極層5を介して接続されている。これらの第1端子電極層4と第2端子電極層5は、図2(a)に示すように、平面的に見て異なる位置に形成されている。容量素子A、B、Cおよび端子電極層4、5は、基板6の上面に形成されている。

【0027】また、両端の容量素子A、Cの第1電極層2には、外方に突出する第3端子電極層7がそれぞれ2個形成され、第2電極層3には、外方に突出する第4端子電極層8が、第2端子電極層7と異なる位置にそれぞれ2個形成されている。

【0028】そして、図2(a)に示したように、4個の第1端子電極層4、4個の第2端子電極層5、4個の第3端子電極層7、4個の第4端子電極層8の上面には、外部に露出する外部端子9がそれぞれ形成されている。尚、図2(a)には、便宜上、第2電極層3、第2端子電極層5および第4端子電極層8に斜線を引き、第1端子電極層4、第3端子電極層7上に形成される外部端子9を●で、第2端子電極層5、第4端子電極層8上に形成される外部端子9を○で記載した。図2(b)に図2(a)のB-B線に沿った断面図を、図2(c)に図2(a)のC-C線に沿った断面図を示した。

【0029】上述した端子電極層4、5により接続された各電極層2、3、誘電体層1の平面形状を図3に示した。第1電極層2、第1端子電極層4、第2端子電極層5、第3端子電極層7、第4端子電極層8は、図3(a)に示すように同一平面に形成され、全体として網の目構造を形成している。電極層2、3および誘電体層1を積層した時には、第1端子電極層4、第2端子電極層5、第3端子電極層7、第4端子電極層8はその表面が外部に露出する位置に形成されている。

【0030】さらに、誘電体層1は、図3(b)に示したように、第1電極層2または第2電極層3を被覆するような大きな長方形とされている。誘電体層1同士は、図3(b)に示したように、所定の間隔で離間されていても良いし、また、図3(d)に示したように、誘

電体層1は各端子電極層4、5の全面を被覆しない範囲で、誘電体層1と同一材料からなる接続部10で連結して形成してもよい。このような接続部10を形成することにより、異なる極性の第1、第2端子電極層4、5間の絶縁性を向上させる。

【0031】尚、上記例では、3個の容量素子A、B、Cを有する場合を説明したが、容量素子の数は2個以上であればよい。容量素子数が増えるほど端子電極層の数が増加し、その上に形成する外部端子を多くすることができるので、電流経路の分岐数が増加し、インダクタンスを小さくすることができる。

【0032】また、容量素子A、B、C間に複数の第1、第2端子電極層4、5をそれぞれ2個形成した場合を説明したが、容量素子A、B、C間の複数の端子電極層4、5は2個以上形成しても良い。端子電極層の数が増えるほど、その上に形成する外部端子を多くすることができるので、電流経路の分岐数が増加し、インダクタンスを小さくすることができる。この点については、第3端子電極層7、第4端子電極層8についても同様である。

【0033】さらに、上記例では、容量素子A、Cの外側に形成される第3、第4端子電極層7、8を各4個ずつ形成した場合について説明したが、図4、5に示したようにコンデンサの電気的特性、外形寸法および外部端子のバランス等を考慮して、個数や配置を変化させてもよい。

【0034】ここで、図4に、両端の容量素子A、Cに、第3端子電極層7および第4端子電極層8とは異なる領域の2か所に、誘電体層と電極層からなる容量付加部11を設けた例を示す。図5に、両端の容量素子A、Cに、第3端子電極層7および第4端子電極層8とは異なる領域であって、第3端子電極層7と第4端子電極層8の間に、誘電体層と電極層からなる容量付加部11を設けた例を示す。

【0035】このような薄膜コンデンサでは、回路等への実装時の安定性を向上させることができるとともに、外方に突出している第3、第4端子電極層7、8の間の余分なスペースを有効利用して容量を増加することができる。

【0036】本発明の薄膜コンデンサの外部端子9は、図2に示した通り、端子電極層4、5、7、8上にそれぞれ形成することができ、これにより容量が取り出されるが、外部端子9に個数の制限はなく、端子電極層4、5、7、8の全てに外部端子9を形成する必要はなく、図6に示すように、必要に応じて必要な数だけ形成すれば良い。つまり、端子電極層4、5、7、8の一部に形成しても良い。しかしながら、充分な電流経路の分岐効果を得るためには、端子電極層4、5、7、8の全てに外部端子9を形成することが望ましい。

【0037】誘電体層1および電極層2、3の厚みは、

0.1~1 μ m、大きさは一辺が0.2~3mmとされている。各層の厚み、大きさ、形状は材質や用途により適宜変更することができる。

【0038】本発明で用いられる基板6としては、アルミナ、サファイア、MgO単結晶、SrTiO₃単結晶、SiO₂被覆シリコン、ガラス基板などが望ましい。特に、誘電体の反応性が小さく、強度が強く、かつ誘電体膜または電極層の結晶性という点からアルミナ、サファイアが望ましい。

【0039】また、本発明の電極層2、3、端子電極層4、5、7、8としては、金(Au)、白金(Pt)、パラジウム(Pd)、銅(Cu)、銀(Ag)、チタン(Ti)、クロム(Cr)、ニッケル(Ni)薄膜等があり、これらのうちでも誘電体との反応性が小さく、酸化されにくい金(Au)や白金(Pt)、抵抗の低い銅(Cu)薄膜が最適である。またこれらは単独で用いても良いし、複数を組み合わせ用いても良い。

【0040】さらに、誘電体層1は、高周波領域において高誘電率を有するものであれば良いが、その膜厚は1 μ m以下が望ましい。例えば、誘電体層1は、金属元素としてPb、Mg、Nbを含むペロブスカイト型複合酸化物結晶からなる誘電体薄膜であって、測定周波数300MHz(室温)での比誘電率が1000以上の誘電体薄膜が望ましい。また、誘電体層1としては、例えば、Ba、Tiを含むペロブスカイト型複合酸化物結晶、PZT、PLZT、SrTiO₃、Ta₂O₅等でも良く、特に限定されるものではない。このような誘電体層1は、PVD法、CVD法、ゾルゲル法等の公知の方法により作製される。

【0041】外部端子9としては、形状的には、パンパ状、箔状、板状、線状、ペースト状等があり、特に限定されるものではなく、複数を組み合わせても良い。また材質は、半田、Pb、Sn、Ag、Au、Cu、Pt、Al、Ni、導電性樹脂等があり、特に限定されるものではなく、複数を組み合わせても良い。

【0042】以上のように構成された薄膜コンデンサは、容量素子A、B、Cの電極層2、3を複数の第1、第2端子電極層4、5によりそれぞれ接続し、さらに第3端子電極層7と第4端子電極層8を設けているため、電流経路を多岐に分割することができ、インダクタンスを極めて小さくすることができ。

【0043】また、容量素子A、B、C間に形成される第1、第2端子電極層4、5、並びに第3、第4端子電極層7、8を接近させることができるので、端子電極層4、5、7、8にそれぞれ形成される外部端子9間の距離を短くすることができ、電流経路が短縮され、インダクタンスを極めて小さくすることができ。

【0044】即ち、従来の図8に示したような薄膜コンデンサは、基板20の上面に第1電極層21、誘電体層22、第2電極層23を順次積層し、第1電極層21、

第2電極層23の端部に容量取出部24を形成して構成されており、複数の薄膜コンデンサの容量取出部24を接続することにより並列接続することが考えられるが、この場合には電流経路を複数に分割することができるものの、容量取出部24同士の距離が長くなるため、インダクタンス低減効果が小さいのである。

【0045】また、本発明の薄膜コンデンサでは、外部との接点に用いる外部端子9が端子電極層4、5、7、8上にそれぞれ形成されているため、正負の外部端子9が上方に露出していることになり、例えば、導体が配線された基板の前記導体部に外部端子9を接合することにより実装でき、基板等への実装が容易となる。

【0046】さらに、外部端子9を形成するための端子電極層7、8を容量素子A、Cの外側に自由に配置することができるので、外部端子9の全体としてのバランスが良くなり、例えば、回路等への実装の安定性を向上させることができる。

【0047】即ち、図9に示したような薄膜コンデンサは、薄膜コンデンサの中心部に二列に並んで外部端子9が形成されているため、外部電極9から容量素子が突出した張り出し梁となっており、非常に不安定であり、例えば、回路等への実装のリフロー時において、薄膜コンデンサの端に力が作用した場合には傾いたり、実装後においても振動等により、外部端子が機械的に壊れる危険性があつたが、本発明の薄膜コンデンサでは、薄膜コンデンサの両端に外部端子が形成されることになり、両端固定梁となり、より安定な状態とすることができる。さらに、外部端子数が増加するため接続安定性も向上する。

【0048】本発明の積層タイプの薄膜コンデンサを図7により説明する。この図7によれば、積層型の薄膜コンデンサは、図1に示した単層タイプの薄膜コンデンサに対して、さらに誘電体層と電極層を積層したものである。

【0049】即ち、第1、第2電極層2、3と誘電体層1を交互に積層してなる容量素子を所定の間隔で並置し、容量素子の第1電極層2a、2b同士および第2電極層3a、3b同士はそれぞれ2個の第1端子電極層4a、4b、第2端子電極層5a、5bを介して接続されている。

【0050】両端の容量素子の第1電極層2a、2bには、外方に突出する第3端子電極層7a、7bがそれぞれ2個形成され、第2電極層3a、3bには、外方に突出する第4端子電極層8a、8bが、第1端子電極層7a、7bと異なる位置にそれぞれ2個形成されている。

【0051】そして、下側の第1電極層2a同士を接続する第1端子電極層4aと、上側の第1電極層2b同士を接続する第1端子電極層4bが積層され、また下側の第2電極層3a同士を接続する第2端子電極層5aと、上側の第2電極層3b同士を接続する第2端子電極層5

bとが積層され、さらに、第1電極層2aに形成された第3端子電極層7aと、第1電極層2bに形成された第3端子電極層7bが積層され、第2電極層3aに形成された第4端子電極層8aと、第2電極層3bに形成された第4端子電極層8bが積層されている。最上層の第1端子電極層4bの上面、最上層の第2端子電極層5bの上面は外部に露出しており、また、最上層の第3端子電極層7bの上面と、最上層の第4端子電極層8bの上面は外部に露出しており、この部分に外部端子が形成されることになる。容量素子および端子電極層4、5、7、8は、基板6の上面に形成されている。

【0052】このような図7に示された構造の積層型の薄膜コンデンサも、図1乃至図3に示された平板型の薄膜コンデンサと全く同様、複数の外部端子による電流経路の分岐効果および第1、第2端子電極層4、5、第3、第4端子電極層7、8の近接形成による電流経路の短絡効果によって、インダクタンスを極めて小さくすることができ、最上層の第1、第2、第3、第4端子電極層4b、5b、7b、8b上にバランスよく外部端子を形成することができるので実装が容易であり、安定性も高くなる。

【0053】さらに、第1、第2電極層2、3と誘電体層1を交互に積層しているため、高容量となる。

【0054】また、第1、第2端子電極層4、5、第3、第4端子電極層7、8の直下には誘電体層1が存在しないため、外部端子形成時や実装時の熱応力による誘電体層1へのダメージ等を防止できる。

【0055】また、本発明の薄膜コンデンサは、一般には、上記のように、基板表面に形成されて用いられる。また、電極層2、3の形状を長方形とした例について説明した、正方形、円形状などのような形状であっても良い。

【0056】

【実施例】実施例1

電極層、端子電極層および誘電体層の形成は全て高周波マグネトロンスパッタ法を用いた。スパッタ用ガスとしてプロセスチャンバ内にArガスを導入し、真空排気により圧力は6.7Paに維持した。

【0057】プロセスチャンバ内には基板ホルダーと3個のターゲットホルダーが設置され、3種類のターゲット材料からのスパッタが可能である。スパッタ時には成膜する材料種のターゲット位置に基板ホルダーを移動させ、基板-ターゲット間距離は60mmに固定した。

【0058】基板ホルダーとターゲット間には外部の高周波電源により13.56MHzの高周波電圧を印可し、ターゲット背面に設置された永久磁石により形成されたマグネトロン磁界により、ターゲット近傍に高密度のプラズマを生成させてターゲット表面のスパッタを行った。

【0059】高周波電圧の印可は3個のターゲットに独

立に可能である。基板ホルダーはヒータによる加熱機構を有しており、スパッタ成膜中の基板温度は一定となるよう制御した。

【0060】また、基板ホルダーに設置された基板のターゲット間には厚さ0.10mmの金属マスクが3種類設置でき、成膜パターンに応じて必要なマスクが基板成膜面にセットできる構造とした。

【0061】先ず、厚さ0.25mmのアルミナ焼結体基板上に、第1電極層のマスクパターンをセットし、Auターゲットのスパッタにより第1電極層を形成し、続いて第1電極層同士を接続する第1端子電極層、両端の容量素子の第1電極層に形成される第3端子電極層のマスクパターンをセットして第1、第3端子電極層を形成した。これにより図3(a)に示すような網の目構造の電極層が得られた。続いてターゲットにPb(Mg_{1/3}Nb_{2/3})O₃焼結体を用い、誘電体層のマスクパターンをセットし、基板温度535℃、高周波電力200Wの条件下で、図3(b)に示すような誘電体層を形成した。

【0062】次に第2電極層のマスクパターンをセットし、Auターゲットのスパッタにより第2電極層を形成し、さらに第2電極層同士を接続する第2端子電極層、両端の容量素子の第2電極層に形成される第4端子電極層のマスクパターンをセットして第2、第4端子電極層を形成した。これにより図3(c)に示すような網の目構造の電極層が得られた。コンデンサとしての有効電極の総面積は0.84mm²とした。

【0063】作製した平板型薄膜コンデンサの端子電極層上に半田バンプを形成して評価用ボードに実装した。使用した半田バンプは直径0.07mmで、各端子電極層上に合計16個形成し、図1および図2に示すような薄膜コンデンサを作製した。

【0064】各半田バンプ間の距離Lは0.4mmとした。

【0065】評価は、1MHzから1.8GHzでのインピーダンス特性を、インピーダンスアナライザ(ヒュレットパッカード社製HP4291A)を用いて行った結果、容量成分は12.4nF、インダクタンス成分13pHの値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.6μmであった。

【0066】実施例2

実施例1と全く同様にして誘電体層8層の積層薄膜コンデンサを作製し、実施例1と同様の方法で評価したところ、容量成分は100nF、インダクタンス成分13pHの値を得た。また上記測定後、積層型薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.6μmであった。

【0067】実施例3

基板材、電極材、電極形成方法、形状、および寸法は実

施例1と全く同様にして、誘電体層のみをゾルゲル法により形成した。ゾルゲル法による膜作製手順は以下のとおりとした。

【0068】酢酸MgとNbエトキシドを1:2のモル比で秤量し、2-メトキシエタノール中で還流操作(124℃で24時間)を行い、MgNb複合アルコキシド溶液(Mg=4.95mmol、Nb=10.05mmol、2-メトキシエタノール150mmol)を合成した。次に酢酸鉛(無水物)15mmolと150mmolの2-メトキシエタノールを混合し、120℃での蒸留操作により、Pb前駆体溶液とPb前駆体溶液をモル比Pb:(Mg+Nb)=1:1になるよう混合し、室温で十分攪拌し、Pb(Mg_{1/3}Nb_{2/3})O₃(PMN)前駆体溶液を合成した。

【0069】MgNb前駆体溶液とPb前駆体溶液をモル比Pb:(Mg+Nb)=1:1になるよう混合し、室温で十分攪拌し、Pb(Mg_{1/3}Nb_{2/3})O₃(PMN)前駆体溶液を合成した。

【0070】この溶液の濃度を2-メトキシエタノールで約3倍に希釈し、塗布溶液とした。次に電極層上に、前記塗布溶液をスピンコーターで塗布し、乾燥させた後、300℃で熱処理を1分間行い、ゲル膜を作製した。塗布溶液の塗布-熱処理の操作を繰り返した後、830℃で1分間(大気中)の焼成を行い、Pb(Mg_{1/3}Nb_{2/3})O₃薄膜を得た。

【0071】得られた上記誘電体薄膜の上にレジストを塗布しフォトリソグラフィ工程によって露光、現像し、これをマスクとするウェットエッチングにより、実施例1と同様のパターン形状に誘電体層のパターニングを行い、実施例1と同様の薄膜コンデンサを作製した。

【0072】作製した薄膜コンデンサを実施例1同様、評価ボードに実装し、1MHzから1.8GHzでのインピーダンス特性を、インピーダンスアナライザー(ヒュレットパッカード社製HP4291A)を用いて測定した。その結果、容量成分は37nF、インダクタンス成分13pHの値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.6μmであった。

【0073】実施例4

実施例3と全く同様にして薄膜コンデンサを作製し、図6に示すように端子電極層上に形成する半田バンプを合計2個とし、実施例1と同様の方法で評価したところ、容量成分は36nF、インダクタンス成分15pHの値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.6μmであった。

【0074】実施例5

図4に示すように端子電極層の数を減らし、両端の容量素子の形状を変更し、容量付加部を形成する以外は、実施例3と全く同様にして薄膜コンデンサを作製した。コンデンサとしての有効電極の総面積は1.2mm²とした。端子電極層上には、図4に示すように半田バンプを合計2個形成し、実施例1と同様の方法で評価したと

ころ、容量成分は52nF、インダクタンス成分15pHの値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.6μmであった。

【0075】実施例6

図5に示すように端子電極層の数を減らし、両端の容量素子の形状を変更し、容量付加部を形成する以外は、実施例3と全く同様にして薄膜コンデンサを作製した。コンデンサとしての有効電極の総面積は、1.2mm²とした。端子電極層上には、図5に示すように半田バンプを合計2個形成し、実施例1と同様の方法で評価したところ、容量成分は53nF、インダクタンス成分18pHの値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.6μmであった。

【0076】

【発明の効果】以上詳述したように、本発明の薄膜コンデンサでは、電流経路を複数に分岐することができ、かつ外部端子間の距離を短くする、つまり実効的な電流経路を短くすることができ、インダクタンスを極めて小さくすることができる。さらに、外部との接点に用いる外部端子を、誘電体層が下方に形成されていない端子電極層上に形成したので、外部端子形成時に発生する熱応力による容量素子へのダメージを考慮する必要がなく、また実装も容易となる。また、外部端子を形成する端子電極層を両端の容量素子の外側に自由に配置して形成することができるので、外部端子全体としてのバランスが良くなり実装における安定性を向上できる。

【図面の簡単な説明】

【図1】本発明の単板型の薄膜コンデンサを示す分解斜視図である。

【図2】(a)は図1の平面図、(b)は(a)のB-B線に沿った断面図、(c)はC-C線に沿った断面図である。

【図3】図1の電極層を端子電極層により接続した網の目構造の電極層、および誘電体層を示す平面図である。

【図4】両端の容量素子に容量付加部を形成した薄膜コンデンサの平面図である。

【図5】両端の容量素子に容量付加部を形成した他の例の薄膜コンデンサの平面図である。

【図6】一部に外部端子を形成しない第3、第4端子電極層を有する薄膜コンデンサの平面図である。

【図7】本発明の積層型の薄膜コンデンサを示す分解斜視図である。

【図8】従来の薄膜コンデンサを示す分解斜視図である。

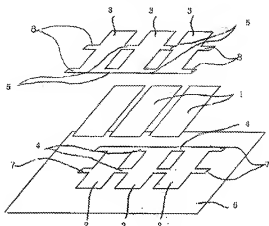
【図9】両端の容量素子の外側に第3、第4端子電極層を形成していない薄膜コンデンサの平面図である。

【符号の説明】

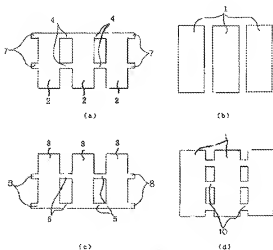
1・・・誘電体層

- 2, 2a, 2b... 第1電極層
3, 3a, 3b... 第2電極層
4, 4a, 4b... 第1端子電極層
5, 5a, 5b... 第2端子電極層
6... 基板

【圖1】

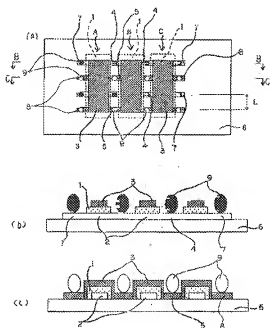


【圖3】

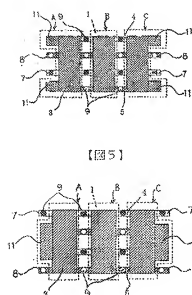


- 7, 7a, 7b... 第3端子電極層
8, 8a, 8b... 第4端子電極層
9... 外部端子
11... 容量付加部
A, B, C... 容量素子

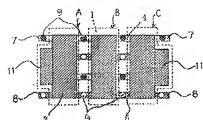
【圖2】



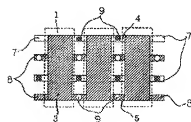
【圖4】



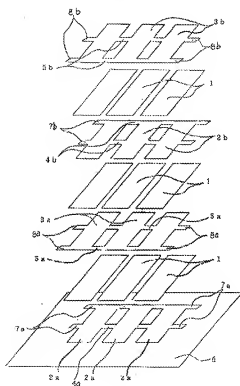
【圖5】



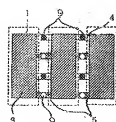
【図6】



【図7】



【図9】



【図8】

